

特開2001-298150
(P2001-298150A)

(43) 公開日 平成13年10月26日(2001.10.26)

(51) Int. Cl.	識別記号	F I	チコード(参考)
H01L 25/065		H01L 23/50	K 5 F 0 6 7
25/07		25/08	Z
25/18			
23/50			

審査請求 未請求 請求項の数18 O L (全 31 頁)

(21) 出願番号	特開2000-114352(P2000-114352)	(71) 出願人	000005108 株式会社日立製作所
(22) 出願日	平成12年4月14日(2000.4.14)	(71) 出願人	000233169 株式会社日立製作所
			東京都小平市上本町5丁目22番1号 増田 正樹
		(72) 発明者	東京都小平市上本町5丁目20番1号 株 式会社日立製作所半導体グループ内
		(74) 代理人	10003652 弁理士 秋田 敬吾

(54) [発明の名称] 半導体装置及びその製造方法

(57) [要約]

【課題】 半導体装置の歩留まりの向上を図る。
【解決手段】 樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された複数の半導体チップであって、互いに向向する第1主面及び第2主面を有し、前記第1主面に電極が配置された複数の半導体チップと、前記樹脂封止体の外部に位置するインナー部と、前記インナー部がボンディングワイヤを介して前記複数の半導体チップの電極と電気的に接続されるリードとを有する半導体装置であって、前記複数の半導体チップは、夫々の第1辺が互いに向向するように互いの第1主面とを向かい合わせ、かつ互いに向向する第1主面及び第2主面を有し、かつ互いに向向する第1主面及び第2主面を有する半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されている。

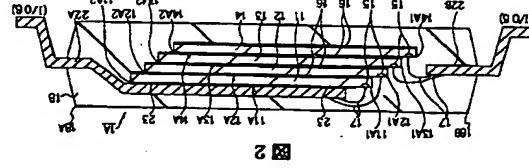


図2

【特許請求の範囲】

【請求項1】 樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された複数の半導体チップであって、互いに向向する第1主面及び第2主面を有し、前記第1主面に電極が配置された複数の半導体チップと、前記樹脂封止体の外部に位置するインナー部と、前記インナー部がボンディングワイヤを介して前記複数の半導体チップの電極と電気的に接続されるリードとを有し、前記複数の半導体チップは、夫々の第1辺が互いに向向するように互いの第1主面とを向かい合わせ、かつ互いに向向する第1主面及び第2主面を有し、かつ互いに向向する第1主面及び第2主面を有する半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記複数の半導体チップは、互いに向向する一方の半導体チップの第1辺が他方の半導体チップの第2辺より内側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項3】 平面が方形の樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された第1及び第2半導体チップであって、互いに向向する第1主面及び第2主面を有し、前記第1主面に電極が配置された第1及び第2半導体チップと、前記樹脂封止体の外部に位置するインナー部と、前記インナー部がボンディングワイヤを介して前記第1及び第2半導体チップの電極と電気的に接続されるリードとを有し、前記第1及び第2半導体チップは、夫々の第1辺が互いに向向するように互いの第1主面とを向かい合わせ、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項4】 請求項3又は4に記載の半導体装置において、前記第1及び第2半導体チップの第1主面及び第2主面を有し、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項5】 請求項3又は4に記載の半導体装置において、前記第1及び第2半導体チップの第1主面及び第2主面を有し、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項6】 平面が方形で形成された第1及び第2半導体チップであって、互いに向向する第1主面及び第2主面を有し、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項4】 平面が方形の樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された第1乃至第4半導体チップであって、互いに向向する第1主面及び第2主面を有し、前記第1主面に電極が配置された第1乃至第4半導体チップと、前記樹脂封止体の外部に位置するインナー部と、前記インナー部がボンディングワイヤを介して前記第1乃至第4半導体チップの電極と電気的に接続される第1リードとを有し、前記第1及び第2半導体チップは、夫々の第1辺が互いに向向するように互いの第1主面とを向かい合わせ、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項5】 請求項4に記載の半導体装置において、前記第1及び第2半導体チップの第1主面及び第2主面を有し、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項6】 請求項5に記載の半導体装置において、前記第1及び第2半導体チップの第1主面及び第2主面を有し、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、前記第1及び第2半導体チップの第1主面及び第2主面を有し、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項8】 請求項7に記載の半導体装置において、前記第1及び第2半導体チップの第1主面及び第2主面を有し、かつ前記第1及び第2半導体チップの第1辺より外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

図3 3半導体チップの第1辺が前記第2リード側に位置するように前記第2半導体チップの第2主面・前記第3半導体チップの第1主面とを向かい合わせ、かつ前記第3半導体チップの電圧が前記第2半導体チップの第1主面より外側に位置するように夫々の位置をずらした状態で前記第2半導体チップと前記第3半導体チップとを固定する工程と、

【請求項 3】 平面が方形状の樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形状で形成される第 1 乃至第 4 半導体チップであって、互いに対向する第 1 辺及び第 2 辺を有し、前記第 1 主面の互いに對向する第 1 辺及び第 2 辺のうち、第 1 辺側に電極が配列された第 1 乃至第 4 半導体チップと、前記樹脂封止体の内部に位置するインナー部と、前記樹脂封止体の互いに對向する第 1 辺及び第 2 辺のうち第

(前記)樹脂封止体の内部に位置するインナー部と、前記樹
脂封止体との互いに向向する第1辺及び第2辺のうちの第
一辺から突出して前記樹脂封止体の外部に位置するアウ
ター部とを有する第1リードと、
(後記)樹脂封止体の内部に位置するインナー部と、前記樹
脂封止体の第2辺から突出して前記樹脂封止体の外部
に位置するアウトパートを有し、前記インナー部分がゼ
リンワイヤの一部として前記第1乃至第4半導体チップ
電極と電気的に接続される第2リードとを有し、(第1半
導体チップ)、及び第2半導体チップは、前記第1及び第2半

[0086]

前記第1及び第2半導体チップは、前記第1及び第2半導体チップの第1辺が前記第1主面と前記第2半導体チップの第1主面とを向かい合わせ、かつ前記第2半導体チップの電極が前記第1半導体チップの第1辺よりも外側に位置し、前記第1半導体チップの第2辺が前記第2半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で接合固定され、

2Aのインナー部とを電気的に接続するボンディングワイヤ17の長さ及びチップ12の電極15とリード22Aのインナー部とを電気的に接続するボンディングワイヤ17の長さを短くすることができる。

【0055】また、この工程において、四つのチップは、チップ11の他方の最辺11A2がチップ12の他方の最辺12A2よりも外側に位置し、チップ13の他方の最辺13A2よりも外側に位置し、チップ14の他方の最辺14A2よりも外側に位置する。また、各々の他方の最辺における裏面領域が向かい合うように各々の位置をずらした状態で配置されている。

【0056】また、この工程において、チップ11及びチップ12は、チップ11の電極15間の領域とチップ12の電極15とが対向するように夫々の位置をずらし、2枚の電極15が接離固定されているので、チップ11の電極11に接続されるボンディングワイヤ17とチップ12の電極12に接続されるボンディングワイヤ17との短絡を抑えることが出来る。

【0057】また、この工程において、チップ13及びチップ14は、チップ14の電極15間の領域とチップ13の電極15とが対向するように夫々の位置をずらし、状態で接線固定されているので、チップ13の電極14に接線されるボンディングワイヤ17とチップ14の電極15に接線されるボンディングワイヤ17との短絡を抑制することができ、

【0058】次に、四つのチップ（1、12、13、14）、リード22Aのインナー部、リード22Bのインナー部及びボンディングワイヤ17等を樹脂で封止し樹脂封止体18を形成する。樹脂封止体18の形成はランスマーモールドディング法で行う。

0059)次に、リード222に連結されたタイバ
5及びリード222に連結されたタイバ22を切斷
し、その後、リード222、リード222の夫々のアウ
一部にメッキ処理を施し、その後、リードフレーム
11の枠体21からリード122及び22を切斷し、
その後、リード222、222の夫々のアウ一部を面
成型型11の形状の一つであるガルウィング形状に折リ
曲げ成形し、その後、リードフレーム11の枠体14
に樹脂封止体18を付着することにより、図1及び図
2に示す半導体装置1Aがほぼ完成する。

0060】このようにして構成された半導体装置1A
、図8（要部模式的断面図）に示すように、1つの回
路システムを構成する電子装置の構成部品として実装基
板上に複数個実装される。半導体装置1Aは、同一機

電極15が夫々対向するので、ミラー反転回路パターンのチップを用いる必要がない。従って、半導体装置1Aの低コスト化を図ることができる。

【0069】(2) 四つのチップは、チップ11の他方の最辺11A2がチップ12の他方の最辺12A2よりも外側に位置し、チップ12の他方の最辺12A2がチップ13の他方の最辺13A2よりも外側に位置し、チップ13の他方の最辺13A2がチップ14の他方の最辺14A2よりも外側に位置するように夫々の位置をずらした状態で積層される。

【0070】このような構成とすることにより、最下段のチップ14を除く三つのチップの夫々の他の最辺部にはそれぞれ異なる裏面領域が向かい合うチップから電出するの、三つのチップの夫々の他の最辺部には異なる裏面領域が、それぞれストレーテージを直接に若しくは間接的に接触させることができる。これにより、ワイヤボンディングに必要の温度までチップを容易に加熱することができると、チップの電極とボンディングワイヤとの接続不良を減減することができ、この結果、半導体装置の製造プロセス（組立プロセス）における歩留まりの向上を図ることができ。

000711 (3) リード22Aのインナー部の先端部にはチップ11の電極15の近傍に設置されている。このような構成とすることにより、チップ11の電極15とリード22Aのインナー部とを電気的に接続するボンディングワイヤ17の長さ及びチップ12の電極15とリード22Aのインナー部とを電気的に接続するボンディングワイヤ17の長さを短くすることができ、この結果、半導体装置1Aの小型化を図ることができる。

0072] (4) チップ11及びチップ12は、チップ11の電極15間の領域とチップ12の電極15とが対向するよう、夫々の位置をずらした状態で接線固定されている。チップ13及びチップ14は、チップ14の電極15間の領域とチップ13の電極15とが対向するよう、夫々の位置をずらした状態で接線固定されている。

電圧の電圧を印加して、チップ11の電圧に接続されるポテンティングワイヤ17とチップ15に接続されるポテンティングワイヤ17とチップ15の電極に接続されるポテンティングワイヤ17との短絡を抑制することができ、また、チップ13の電極15に接続されるポテンティングワイヤ17とチップ14の電極に接続されるポテンティングワイヤ17との短絡を抑制することができ、この結果、半導体装置の歩留まりの上を図ることができ、

00073]なお、本装置形態では四つのチップを横置し、この四つの半導体チップを一つの樹脂封止体で封止する半導体装置について説明したが、本発明はこれに限られず、例えば二つ又は三つ若しくは四つ以上のチップを横置し、これらのチップを一つの樹脂封止体で封止する半導体装置においても適用することができ、

【００７４】（実施形態２）図９は、本発明の実施形態

図2である半導体装置の模式的断面図である。図9に示すように、本実施形態の半導体装置1Bは、基本的に前述の実施形態1と同様の構成となっており、以下の構成が異なる。

【0075】即ち、四つのチップ(11、12、13、14)は、チップ12とチップ13との間にリード22のインナー部中間部分を介在した状態で積層されている。

【0076】チップ12は、チップ12の表面がリード22Aのインナー部と中間部分と向かい合い、リード22Aのインナー部の先端部分がチップ12の一方の端面2A1よりも外部に位置する状態である。チップ12のインナー部の中間部分に接合固定されている。チップ12のリード22Aのインナー部の中間部分との接合固定は、これらの間に介在された接合層16によって行なわれている。

【0077】チップ13は、チップ13の回路形成面1 Aがリード22 Aのインナー部の中間部分と向かい合、チップ13の電極15がリード22 Aのインナー部先端よりも外面に位置する状態であり、チップ13とリード22 Aのインナー部の中間部分との接合固定は、これらの間に介在された接合剤16によって行なわれて

0078] このような構成においても、前述の要施形
1と同様の効果が得られる。

0079】また、リード22Aのインナー部における曲げ量（オフセット量）を前述の実施形態と比べて小さく、若しくはリード22Aのインナー部の折り曲げ工を禁止することができ、半導体装置の生産性向上を図ることができる。

0080] また、チップ11及びチップ12の電極1に接続されるボンディングワイヤ17のループ高さをすることができ、前述の異崎形態1と比べて半本装置の薄型化を図ることができる。

0081]なお、本実施形態ではチップ12とチップ3との間にリード22Aのインナー部(中間部分を配した例)について説明したが、リード22Aのインナーの中間部分の配置は、チップ11とチップ12とのチップ13とチップ14との間であってよい。但、ボンディングワイヤ17の張り分けが異なる。

0082] (実施形態3) 図10は、本発明の実施形態3である半導体装置の模式的断面図である。図10によらずに、本実施形態の半導体装置1Cは、基本的に、実施形態1と同様の構成となっており、以下の構成が異なる。

0083] 即ち、四つのチップ(11、12、13、14)の夫々の電極15は、ボンディングワイヤ17を介してリード22Bのインナー部と夫々電気的に接続されている。また、リード22Aのインナー部は、先端部

【0111】(実施形態6)図19は、本発明の実施形態6である半導体装置の模式的断面図である。図19に示すように、本実施形態の半導体装置2Bは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。図19は、四つのチップにおいて、チップ11及びチップ12は、チップ11の一方の長辺11A1及びチップ12の一方の長辺12A1がチップ11の一方の長辺11A1及びチップ12の一方の長辺12A1に接合されている。図20に示すように、本実施形態の半導体装置2Cは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0112】即ち、四つのチップにおいて、チップ11及びチップ12は、チップ11の一方の長辺11A1及びチップ12の一方の長辺12A1がチップ11の一方の長辺11A1及びチップ12の一方の長辺12A1に接合されている。図20に示すように、本実施形態の半導体装置2Cは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0113】また、チップ12及びチップ13は、チップ12の一方の長辺12A1及びチップ13の一方の長辺13A1がチップ12の一方の長辺12A1及びチップ13の一方の長辺13A1に接合されている。図21に示すように、本実施形態の半導体装置2Dは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0114】また、チップ13及びチップ14は、チップ13の一方の長辺13A1及びチップ14の一方の長辺14A1がチップ13の一方の長辺13A1及びチップ14の一方の長辺14A1に接合されている。図22に示すように、本実施形態の半導体装置2Eは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0115】また、二つの支持リード24のうち、一方の支持リード24は、チップ13の一方の長辺13A1の外面においてチップ12の外面に接合固定され、他方の支持リード24は、チップ12の一方の長辺12A2の外面においてチップ13の外面に接合固定されている。

【0116】このように構成においても、前述の実施形態1と同様の効果が得られる。

【0117】また、四つのチップからなるチップ積層体の厚さで支持リード24の厚さを調整できる。図20に示すように、本実施形態の半導体装置2Cは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0118】(実施形態7)図20は、本発明の実施形態7である半導体装置の模式的断面図である。図20に示すように、本実施形態の半導体装置2Cは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

5がチップ11の一方の長辺11A1よりも外側に位置し、チップ11の他方の長辺11A2がチップ12の他方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で接合固定されている。

【0120】また、チップ12及びチップ13は、チップ12の一方の長辺12A1及びチップ13の一方の長辺13A1がチップ12の一方の長辺12A1及びチップ13の一方の長辺13A1に接合されている。図21に示すように、本実施形態の半導体装置2Dは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0121】また、チップ13及びチップ14は、チップ13の一方の長辺13A1及びチップ14の一方の長辺14A1がチップ13の一方の長辺13A1及びチップ14の一方の長辺14A1に接合されている。図22に示すように、本実施形態の半導体装置2Eは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0122】また、二つの支持リード24のうち、一方の支持リード24は、チップ13の一方の長辺13A1の外面においてチップ12の外面に接合固定され、他方の支持リード24は、チップ12の一方の長辺12A2の外面においてチップ13の外面に接合固定されている。

【0123】このように構成においても、前述の実施形態1と同様の効果が得られる。

【0124】また、二つの支持リード24のうち、一方の支持リード24は、チップ13の一方の長辺13A1の外面においてチップ12の外面に接合固定され、他方の支持リード24は、チップ12の一方の長辺12A2の外面においてチップ13の外面に接合固定されている。

【0125】(実施形態8)図21は本発明の実施形態8である半導体装置の模式的断面図である。

【0126】図2に示すように、本実施形態の半導体装置3は、前述の実施形態1と比較してチップの積層形態が異なる。

【0127】チップ11及びチップ12は、チップ11の一方の長辺11A1及びチップ12の一方の長辺12A1がチップ11の一方の長辺11A1及びチップ12の一方の長辺12A1に接合されている。図22に示すように、本実施形態の半導体装置2Cは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0128】チップ12及びチップ13は、チップ12の一方の長辺12A1及びチップ13の一方の長辺13A1がチップ12の一方の長辺12A1及びチップ13の一方の長辺13A1に接合されている。図23に示すように、本実施形態の半導体装置2Dは、基本的に前述の実施形態5と同様の構成となっており、以下の構成が異なる。

【0129】チップ13及びチップ14は、チップ14の一方の長辺14A1がリード22B側に位置するようにチップ13の回路形成面13Aとチップ14の回路形成面14Aとを向かい合わせ、かつチップ13の電極15がチップ14の他方の長辺14A2よりも外側に位置するように夫々の位置をずらした状態で接合固定されている。

【0130】二つの支持リード24は、チップ11の回路形成面11Aに接合固定されている。チップ11及びチップ12の電極15はボンディングワイヤ17を介してリード22Aと電気的に接続され、チップ12及びチップ14の電極15はボンディングワイヤ17を介してリード22Bと電気的に接続されている。

【0131】次に、半導体装置3の製造について、図2乃至図5(模式的断面図)を用いて説明する。

【0132】まず、リードフレームLF2にチップ11を接合固定する。リードフレームLF2と半導体チップ11との接合固定は、図22に示すように、チップ11の回路形成面11Aに接合層23を介して支持リード24を接合することによって行なう。この時、チップ11の一方の長辺11A1がリード22A側(互いに反対向する二つのリード群のうち一方のリード群)に位置するようにチップ11の向きを合わせた状態で行なう。

【0133】次に、チップ11にチップ12を接合固定する。チップ11とチップ12との接合固定は、図22に示すように、チップ11の回路形成面11Aに接合層16を介してチップ12の回路形成面12Aを接合することによって行なう。この時、チップ12の一方の長辺12A1がリード22B側に位置するようにチップ12の向きを合わせた状態で行なう。また、チップ12の電極15がチップ11の他方の長辺11A2よりも外側に位置し、チップ11の一方の長辺11A1がチップ12の他方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で行なう。

【0134】次に、チップ11の電極とリード22Aのインナー部とをボンディングワイヤ17で電気的に接続し、チップ12の電極とリード22Bとをボンディングワイヤ17で電気的に接続する。これらの接続は、図23に示すように、チップ11の回路形成面11Aを上向きにした状態でヒートステージ34にリードフレームLF2を装着して行なう。この工程において、この工程において、チップ11の一方の長辺11A1は、チップ12の他方の長辺12A2よりも外側に位置している。この工程において、チップ11の一方の長辺11A1は、チップ12の他方の長辺12A2よりも外側に位置している。

【0135】次に、チップ12にチップ13を接合固定する。チップ12とチップ13との接合固定は、図24に示すように、チップ12の回路形成面12Aに接合層16を介してチップ13の回路形成面13Aを接合することによって行なう。この時、チップ13の一方の長辺13A1がリード22B側に位置するようにチップ13の向きを合わせた状態で行なう。また、チップ13の電極15がチップ12の他方の長辺12A2よりも外側に位置し、チップ12の一方の長辺12A1がチップ13の一方の長辺13A1よりも外側に位置するように夫々の位置をずらした状態で行なう。

【0136】次に、チップ13にチップ14を接合固定する。チップ13とチップ14との接合固定は、図24に示すように、チップ13の回路形成面13Aに接合層16を介してチップ14の回路形成面14Aを接合することによって行なう。この時、チップ14の一方の長辺14A1がリード22B側に位置するようにチップ14の向きを合わせた状態で行なう。また、チップ14の電極15がチップ13の他方の長辺13A2よりも外側に位置し、チップ13の一方の長辺13A1がチップ14の一方の長辺14A1よりも外側に位置するように夫々の位置をずらした状態で行なう。

てチップ13の裏面を接合することによって行なう。この時、チップ13の一方の長辺13A1がリード22A側に位置するようにチップ13の向きを合わせた状態で行なう。また、チップ13の一方の長辺13A1がチップ12の他方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で行なう。

【0137】次に、チップ13の電極とリード22Aのインナー部とをボンディングワイヤ17で電気的に接続し、チップ14の電極とリード22Bとをボンディングワイヤ17で電気的に接続する。これらの接続は、図25に示すように、チップ14の回路形成面14Aを上向きにした状態でヒートステージ35にリードフレームLF2を装着して行なう。

【0138】この後、前述の実施形態1と同様の製造工程を実施することにより、図21に示す半導体装置3がほぼ完成する。

【0139】このように本実施形態において前述の実施形態1と同様の効果が得られる。

【0140】(実施形態9)図26は本発明の実施形態9である半導体装置の模式的断面図である。

【0141】図26に示すように、本実施形態の半導体装置4は、前述の実施形態1と比較してチップの積層形態が異なる。

【0142】チップ11及びチップ12は、チップ11の一方の長辺11A1及びチップ12の一方の長辺12A1がリード22A側に位置するようにチップ11の回路形成面11Aとチップ12の回路形成面12Aとを向かい合わせ、かつチップ12の電極15がチップ11の一方の長辺11Aよりも外側に位置するように夫々の位置をずらした状態で接合固定されている。

【0143】チップ12及びチップ13は、チップ13の一方の長辺13A1がリード22B側に位置するようにチップ12の回路形成面12Aとチップ13の回路形成面13Aとを向かい合わせ、かつチップ13の電極15がチップ12の他方の長辺12A2よりも外側に位置し、チップ12の一方の長辺12A1がチップ13の一方の長辺13A1よりも外側に位置するように夫々の位置をずらした状態で接合固定されている。

【0144】チップ13及びチップ14は、チップ14の一方の長辺14A1がリード22B側に位置するようにチップ13の回路形成面13Aとチップ14の回路形成面14Aとを向かい合わせ、かつチップ14の電極15がチップ13の一方の長辺13A1よりも外側に位置するように夫々の位置をずらした状態で行なう。

部で接合固定されている。

[図145] 二つの支持リード24は、チップ11の回路形成面11Aに接合固定されている。チップ11及びチップ12の電極15はボンディングワイヤ17を介してリード22Aと電気的に接続され、チップ13及び14の電極15はボンディングワイヤ17を介してリード22Bと電気的に接続されている。

[図146] 次に、半導体装置4の製造について、図27及び図28（模式的断面図）を用いて説明する。

[図147] まず、リードフレーム14F2にチップ11を接合固定する。リードフレーム14F2と半導体チップ11との接合固定は、図27に示すように、チップ11の回路形成面11Aに接合層23を介して支持リード24を接合することで行なう。この時、チップ11の一方の長辺11A1がリード22A側（互いに対向）する二つのリード群のうちの一方のリード群に位置するようにチップ11の向きを合わせた状態で行なう。

[図148] 次に、チップ11にチップ12を接合固定する。チップ11とチップ12との接合固定は、図27に示すように、チップ11の裏面に接合層16を介してチップ12の回路形成面12Aを接合することで行なう。この時、チップ12の一方の長辺12A1がリード22B側に位置するようにチップ12の向きを合わせた状態で行なう。また、チップ12の電極15がチップ11の一方の長辺11A1よりも外側に位置し、チップ11の他方の長辺11A2がチップ12の他方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で行なう。

[図149] 次に、チップ12にチップ13を接合固定する。チップ12とチップ13との接合固定は、図27に示すように、チップ12の裏面に接合層16を介してチップ13の回路形成面13Aを接合することで行なう。この時、チップ13の一方の長辺13A1がリード22B側に位置するようにチップ13の向きを合わせた状態で行なう。また、チップ13の電極15がチップ11の他方の長辺11A2よりも外側に位置し、チップ12の一方の長辺12A1がチップ13の他方の長辺13A2よりも外側に位置するように夫々の位置をずらした状態で行なう。

[図150] 次に、チップ13にチップ14を接合固定する。チップ13とチップ14との接合固定は、図27に示すように、チップ13の裏面に接合層16を介してチップ14の回路形成面14Aを接合することで行なう。この時、チップ14の一方の長辺14A1がリード22B側に位置するようにチップ14の向きを合わせた状態で行なう。また、チップ14の電極15がチップ13の他方の長辺13A1よりも外側に位置し、チップ13の他方の長辺13A2がチップ14の他方の長辺14A2よりも外側に位置するように夫々の位置をずらした状態で行なう。

[図151] チップ11及びチップ12の電極15とリード22Aのインナー部とをボンディングワイヤ17で電気的に接続し、チップ13及びチップ14の電極15とリード22Bのインナー部とをボンディングワイヤ17で電気的に接続する。これらの接続も28に示すように、チップ11の回路形成面11Aを上向きにした状態でチップ11の他方の長辺11A2よりも外側に位置する部でヒートステージ36にリードフレーム14F2を接合して行なう。この工程において、チップ12の一方の長辺12A1はチップ13の他方の長辺13A2及びチップ14の他方の長辺14A2よりも外側に位置している。チップ12の一方の長辺12A1側における裏面領域にヒートステージ34を直接若しくは間接的に接続させることができる。

[図152] この後、前述の製造工程と同様の製造工程を繰り返すことにより、図26に示す半導体装置4がほぼ完成する。

[図153] このように本実施形態においても前述の製造工程と同様の効果が得られる。

[図154] また、チップ11及び12の厚さで、チップ13の電極15と接続されるボンディングワイヤ17のルーブリッジ及びチップ14の電極15と接続されるボンディングワイヤ17のルーブリッジを吸収できる。半導体装置の薄型化を図ることができる。

[図155] （変形形態10）図29は本発明の変形形態10である半導体装置の模式的断面図である。

[図156] 図29に示すように、本変形形態の半導体装置5は、前述の変形形態1と比較してチップの層数が増えている。

[図157] チップ11及びチップ12は、チップ11の一方の長辺11A1及びチップ12の一方の長辺12A1がリード22A側に位置するようにチップ11の回路形成面11Aとチップ12の裏面とを向かい合わせ、かつチップ11の電極15がチップ12の一方の長辺12A1よりも外側に位置し、チップ12の他方の長辺12A2がチップ11の他方の長辺11A2よりも外側に位置するように夫々の位置をずらした状態で接合固定されている。

[図158] チップ12及びチップ13はチップ13の一方の長辺13A1がリード22B側に位置するようにチップ12の回路形成面12Aとチップ13の回路形成面13Aとを向かい合わせ、かつチップ12の電極15がチップ13の他方の長辺13A2よりも外側に位置し、チップ13の電極15がチップ12の他方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で接合固定されている。

[図159] チップ13及びチップ14は、チップ14の一方の長辺14A1がリード22B側に位置するようにチップ13の裏面とチップ14の回路形成面14Aと

を向かい合わせ、かつチップ14の電極15がチップ13の一方の長辺13A1よりも外側に位置するように夫々の位置をずらした状態で接合固定されている。

[図160] 支持リード24は、チップ11の他方の長辺11A2の外側においてチップ12の裏面に接合層（16、23）を介して接合固定されている。チップ11及びチップ12の電極15はボンディングワイヤ17を介してリード22Aと電気的に接続されている。チップ13及びチップ14の電極15はボンディングワイヤ17を介してリード22Bと電気的に接続されている。

[図161] このよう構成することにより、ボンディングワイヤ17のルーブリッジがチップ層の厚さによって吸収されるので、半導体装置29の薄型化を図ることができる。

[図162] 以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

[図163]

[発明の効果] 本題において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

[図164] 複数の半導体チップを積層し、この複数の半導体チップを一つの樹脂封止体で封止する半導体装置の低コスト化を図ることができ、

[図165] 前記半導体装置の生産性の向上を図ることができ、

[図166] 前記半導体装置の歩留まりの向上を図ることができ、

[図面の簡単な説明]

[図1] 本発明の変形形態1である半導体装置の樹脂封止体の上部を除去した状態を示す模式的断面図である。

[図2] 図1のA-A線に沿う模式的断面図である。

[図3] 図1の一部を拡大した模式的断面図である。

[図4] 本発明の変形形態1である半導体装置の製造プロセスで用いられるリードフレームの模式的断面図である。

[図5] 本発明の変形形態1である半導体装置の製造を説明するための模式的断面図である。

[図6] 本発明の変形形態1である半導体装置の製造を説明するための模式的断面図である。

[図7] 本発明の変形形態1である半導体装置の製造を説明するための模式的断面図である。

[図8] 本発明の変形形態1である半導体装置を基板に実装した状態を示す模式的断面図である。

[図9] 本発明の変形形態2である半導体装置の模式的断面図である。

[図10] 本発明の変形形態3である半導体装置の模式的断面図である。

[図11] 本発明の変形形態4である半導体装置の模式的断面図である。

[図12] 本発明の変形形態5である半導体装置の樹脂封止体の上部を除去した状態を示す模式的断面図である。

[図13] 本発明の変形形態5である半導体装置の樹脂封止体の下部を除去した状態を示す模式的断面図である。

[図14] 図1のB-B線に沿う模式的断面図である。

[図15] 本発明の変形形態5である半導体装置の製造プロセスで用いられるリードフレームの模式的断面図である。

[図16] 本発明の変形形態5である半導体装置の製造を説明するための模式的断面図である。

[図17] 本発明の変形形態5である半導体装置の製造を説明するための模式的断面図である。

[図18] 本発明の変形形態5である半導体装置の製造を説明するための模式的断面図である。

[図19] 本発明の変形形態6である半導体装置の模式的断面図である。

[図20] 本発明の変形形態7である半導体装置の模式的断面図である。

[図21] 本発明の変形形態8である半導体装置の模式的断面図である。

[図22] 本発明の変形形態8である半導体装置の製造を説明するための模式的断面図である。

[図23] 本発明の変形形態8である半導体装置の製造を説明するための模式的断面図である。

[図24] 本発明の変形形態8である半導体装置の製造を説明するための模式的断面図である。

[図25] 本発明の変形形態8である半導体装置の製造を説明するための模式的断面図である。

[図26] 本発明の変形形態9である半導体装置の製造を説明するための模式的断面図である。

[図27] 本発明の変形形態9である半導体装置の製造を説明するための模式的断面図である。

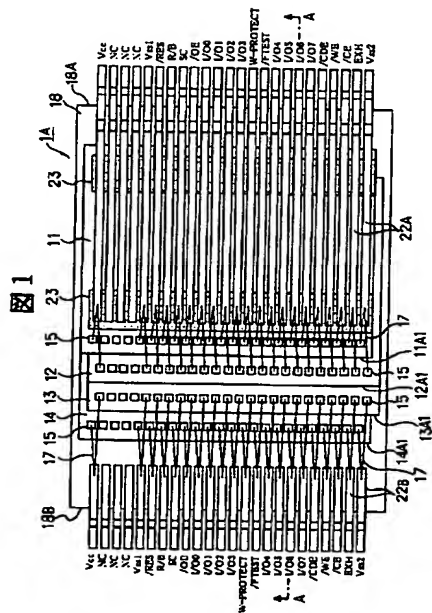
[図28] 本発明の変形形態9である半導体装置の製造を説明するための模式的断面図である。

[図29] 本発明の変形形態10である半導体装置の模式的断面図である。

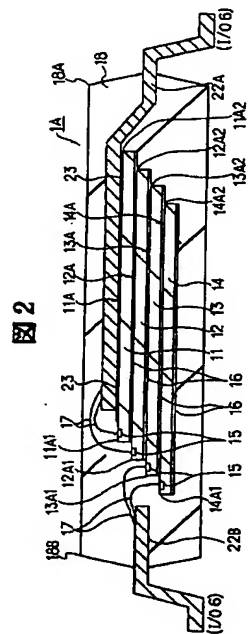
[符号の説明]

1A、1B、1D、2A、2B、2C、3、4、5…半導体装置、11、12、13、14…半導体チップ、15…電極、16、23…接合層、17…ボンディングワイヤ、18…樹脂封止体、LF1、LF2…リードフレーム、21…枠、22A、22B…リード、24…支持リード、25…ダムバー。

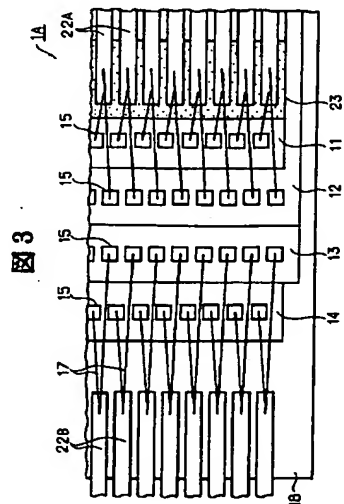
【圖1】



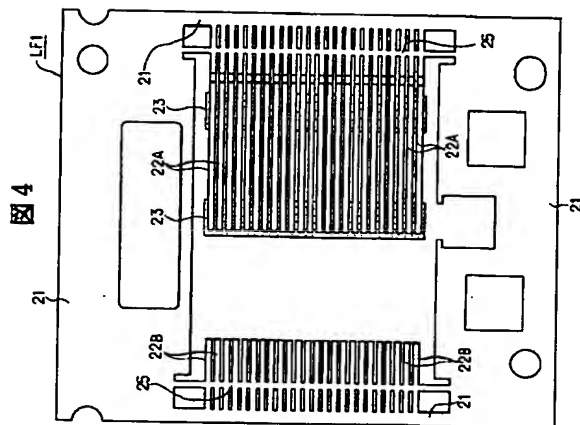
【图2】



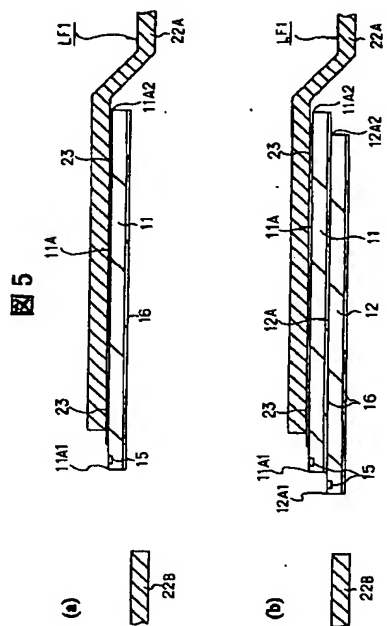
【图3】



【图4】

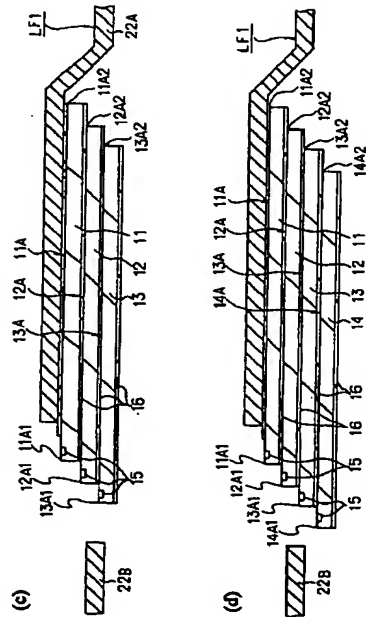


【図5】



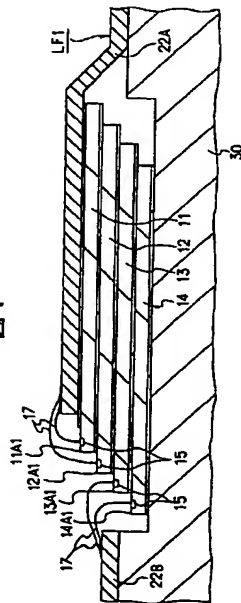
〔図 6〕

図 6



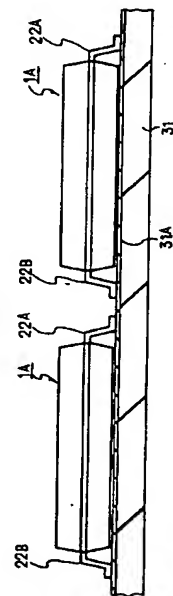
〔図 7〕

図 7



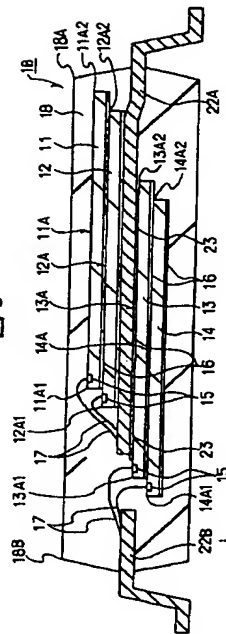
〔図 8〕

図 8



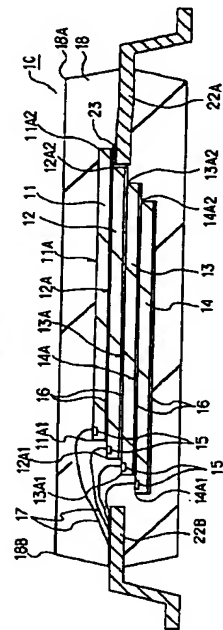
〔図 9〕

図 9



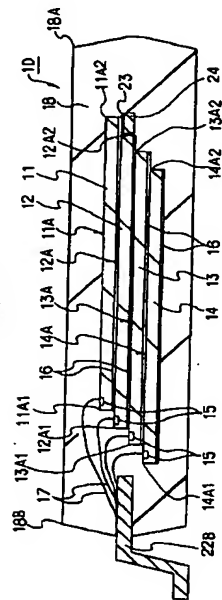
〔図 10〕

図 10



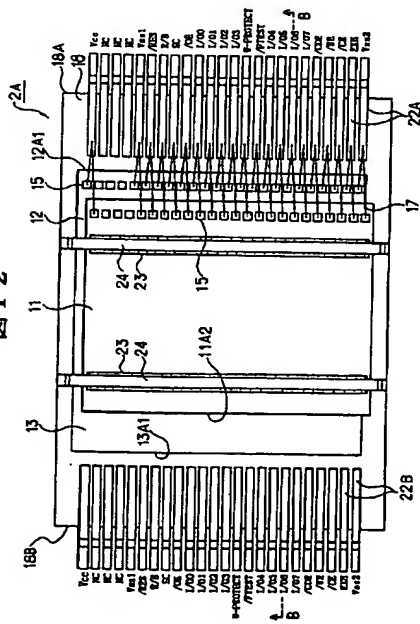
〔図 11〕

図 11



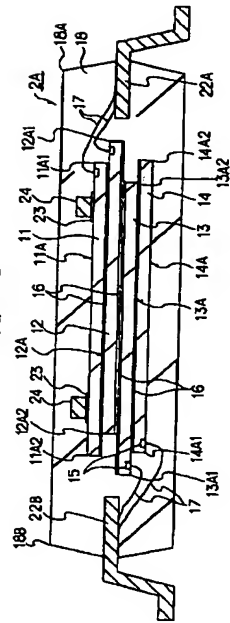
【図12】

図12



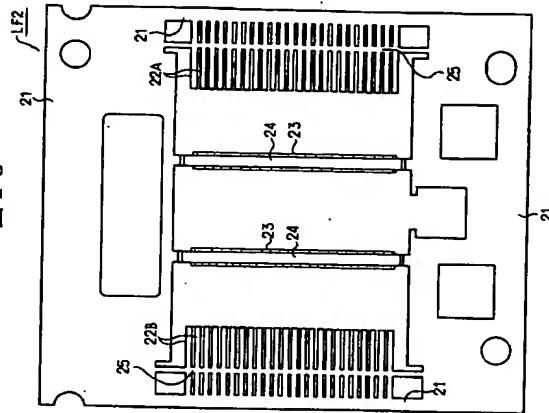
【図14】

図14



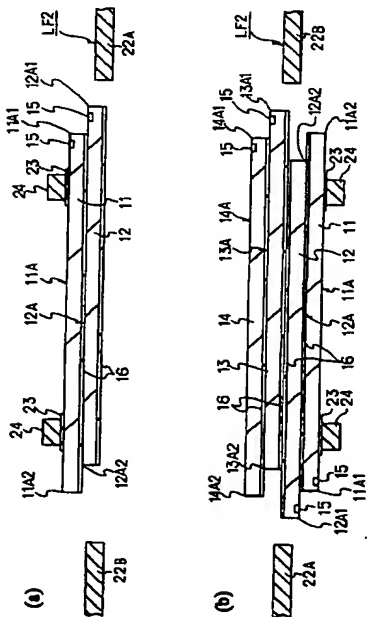
【図15】

図15



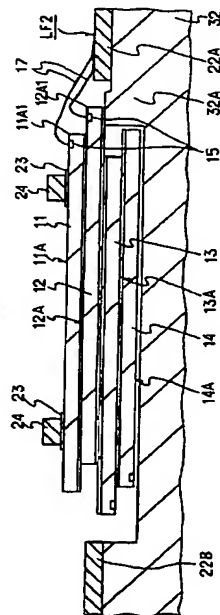
【図16】

図16



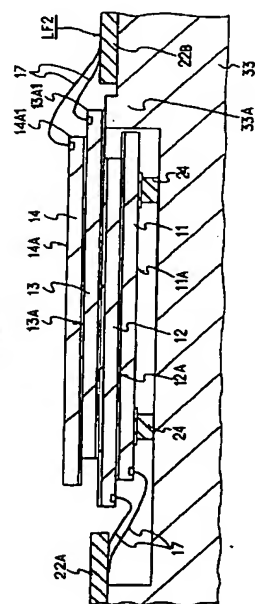
【図17】

図17



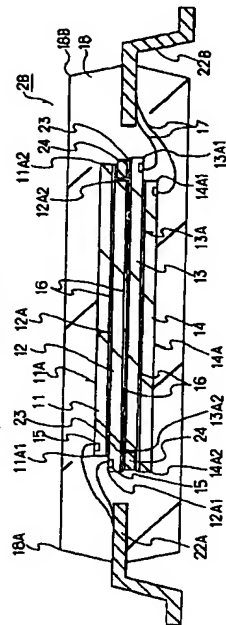
【図18】

図18



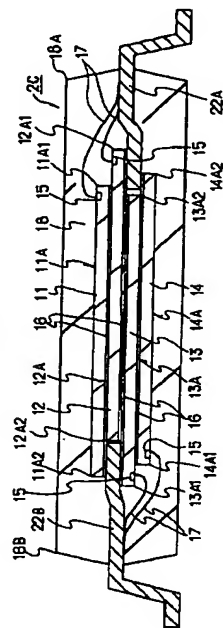
【図19】

図19



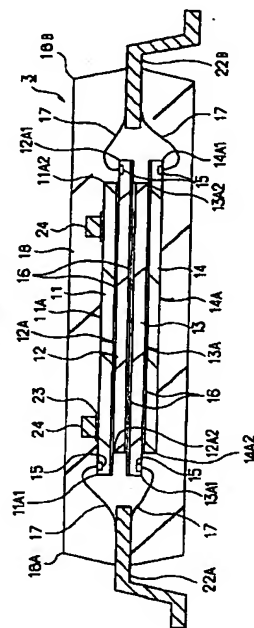
【図20】

図20



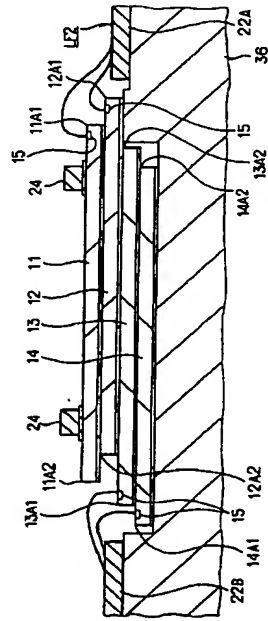
【図21】

図21



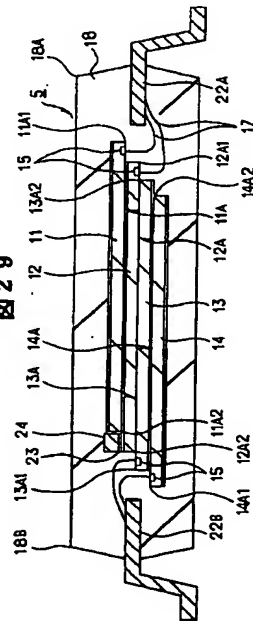
【図28】

図28



【図29】

図29



フロントページの続き

(72)発明者 和田 環

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 西沢 裕孝

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 加賀谷 浩一郎

秋田県南秋田郡天王町天王字長沼64 アキ
タ電子株式会社内

Fターム(参考) 5F067 B400 C800